

DERWENT-ACC-NO: 1997-093642

DERWENT-WEEK: 199709

COPYRIGHT 2004 DERWENT INFORMATION LTD

TITLE: FSK demodulator - uses comparator to compare output of counter against predetermined reference signal, and accordingly output two signals whose voltage levels differ mutually

PATENT-ASSIGNEE: TAIYO YUDEN KK[TAIO]

PRIORITY-DATA: 1995JP-0158312 (May 31, 1995)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 08331186 A	December 13, 1996	N/A	007	H04L 027/156

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP 08331186A	N/A	1995JP-0158312	May 31, 1995

INT-CL (IPC): H04L027/156

ABSTRACTED-PUB-NO: JP 08331186A

BASIC-ABSTRACT:

The demodulator uses a waveform shaping circuit to shape FSK modulated signal into square wave pulse and the same is applied to input end of a counter. This counter is reset periodically, by a reset pulse of constant cycle characteristic. Pulses of the FSK modulated signal are counted by the counter.

The output of the counter is fed to a comparator (5) where it is compared against a predetermined reference. The reference signal is output by a reference signal generator (11). Two signals whose voltage levels differ, are output by the comparator, when output of the counter is above or below the reference standard. The voltage level of signal output by the comparator is used for discriminating first and second frequency components of the FSK modulated signal.

ADVANTAGE - Reduces variation in FSK demodulation characteristics. Raises operational accuracy by suppressing noise components.

CHOSEN-DRAWING: Dwg.1/6

TITLE-TERMS: FSK DEMODULATE COMPARATOR COMPARE OUTPUT COUNTER PREDETERMINED  
REFERENCE SIGNAL ACCORD OUTPUT TWO SIGNAL VOLTAGE LEVEL DIFFER  
MUTUAL

DERWENT-CLASS: U23 W01

EPI-CODES: U23-B01; W01-A09A2; W01-A09E2;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1997-077521

PAT-NO: JP408331186A  
DOCUMENT-IDENTIFIER: JP 08331186 A  
TITLE: FREQUENCY DEMODULATING CIRCUIT  
PUBN-DATE: December 13, 1996

INVENTOR-INFORMATION:  
NAME  
ICHIKAWA, YUICHI

ASSIGNEE-INFORMATION:  
NAME COUNTRY  
TAIYO YUDEN CO LTD N/A

APPL-NO: JP07158312  
APPL-DATE: May 31, 1995

INT-CL (IPC): H04L027/156

ABSTRACT:

PURPOSE: To obtain a FSK(frequency shift keying) demodulation circuit in which dispersion in a demodulation characteristic is less.

CONSTITUTION: An FSK modulation signal is shaped into a rectangular wave pulse and it is given to a counter 4, and the counter 4 is reset by a reset pulse received repetitively for a prescribed period. A comparator circuit 5 compares an output of the counter 4 with a reference digital signal. A level of a reference digital signal is set between an output level when number of 1st frequency signal pulses of the **FSK modulation signal is counted** and an output level when number of 2nd frequency signal pulses of the **FSK modulation signal is counted**. Thus, a high level output is obtained only when the 2nd frequency signal is obtained from the comparator circuit 5 so as to discriminate the 1st frequency signal from the 2nd frequency signal.

COPYRIGHT: (C)1996,JPO

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-331186

(43)公開日 平成8年(1996)12月13日

(51) Int.Cl.<sup>8</sup>

識別記号

室内整理番号

FI

### 技術表示箇所

H04L 27/156

H0 4 L 27/14

H

審査請求 未請求 請求項の数5 FD (全 7 頁)

(21)出願番号 特願平7-158312

(22)出願日 平成7年(1995)5月31日

(71)出願人 000204284

**太陽誘電株式会社**

東京都台東区上野6丁目16番20号

(72)発明者 市川 裕一

東京都台東区上野6丁目16番20号 太陽誘  
電株式会社内

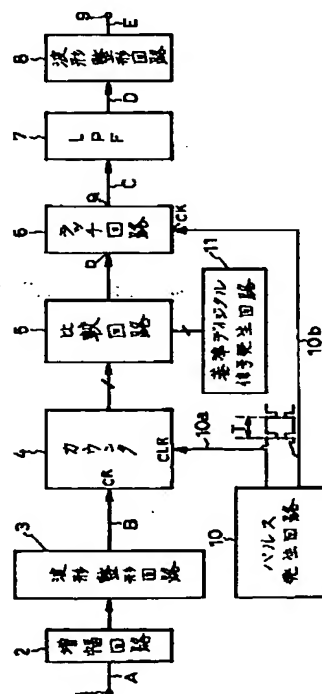
(74)代理人 弁理士 高野 則次

(54) 【発明の名称】 周波数復調回路

(57) 【要約】

【目的】 復調特性のバラツキの少ないFSK復調回路を提供する。

【構成】 FSK変調信号を方形波パルスに整形してカウンタ4に入力させる。カウンタ4は一定周期で繰返して入力するリセットパルスでリセットされ、FSK変調信号のパルスを計数する。比較回路5においてカウンタ4の出力と基準デジタル信号とを比較する。基準デジタル信号の値をFSK変調信号の第1の周波数信号のパルスを計数した時の出力と第2の周波数信号のパルスを計数した時の出力との間の値に設定する。これにより、比較回路5からは第2の周波数信号の時にのみ高レベル出力が得られ、第1及び第2の周波数信号の弁別が可能になる。



## 【特許請求の範囲】

【請求項1】 第1の値を示す区間が第1の周波数信号とされ、第2の値を示す区間が第2の周波数信号とされた周波数変調信号を復調するための回路であって、前記第1及び第2の周波数信号の周期よりも長い一定の周期を有してリセットパルスを発生するリセットパルス発生回路と、

前記リセットパルス発生回路から発生した前記リセットパルス毎にリセットされて前記周波数変調信号のパルスを計数してデジタル値を出力するデジタルカウンタと、

前記カウンタが前記第1の周波数信号のパルスを計数した時に得られる第1のデジタル値と前記カウンタが前記第2の周波数信号のパルスを計数した時に得られる第2のデジタル値との間の値を有する基準デジタル信号を発生する基準デジタル信号発生回路と、

前記デジタルカウンタから得られたカウンタ出力の値と前記基準デジタル信号の値とを比較し、前記カウンタ出力の値が前記基準デジタル信号の値よりも低い時に第1のレベルの電圧を出力し、前記カウンタ出力の値が前記基準デジタル信号の値よりも高い時に第2のレベルの電圧を出力する比較回路とを備え、前記比較回路の前記第1及び第2のレベルの電圧を前記第1及び第2の周波数信号の復調信号とすることを特徴とする周波数復調回路。

【請求項2】 更に、前記比較回路の出力端子にラッチ回路が接続されており、前記ラッチ回路は前記リセットパルスに同期して前記比較回路の出力をラッチするように構成されていることを特徴とする請求項1記載の周波数復調回路。

【請求項3】 第1の値を示す区間が第1の周波数信号とされ、第2の値を示す区間が第2の周波数信号とされた周波数変調信号を復調するための回路であって、前記第1及び第2の周波数信号の周期よりも長い一定の周期を有してリセットパルスを発生するリセットパルス発生回路と、

前記リセットパルス発生回路から発生した前記リセットパルス毎にリセットされて前記周波数変調信号のパルスを2進方式で計数するものであり、前記一定の周期において前記第1の周波数信号のパルスを計数した時には第1のレベルの電圧を出力し、前記第2の周波数信号のパルスを計数した時には第2のレベルの電圧を出力する出力端子を有しているバイナリカウンタとを備え、前記バイナリカウンタの前記出力端子から得られた前記第1及び第2のレベルの電圧を前記第1及び第2の周波数復調信号とすることを特徴とする周波数復調回路。

【請求項4】 更に、前記バイナリカウンタの出力端子にラッチ回路が接続されており、前記ラッチ回路は前記リセットパルスに同期して前記カウンタの出力をラッチするように構成されていることを特徴とする請求項3記

載の周波数復調回路。

【請求項5】 更に、前記ラッチ回路の出力段にノイズ除去用のローパスフィルタとこのローパスフィルタの出力波形を整形する波形整形回路を有することを特徴とする請求項1又は2又は3又は4記載の周波数復調回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、周波数復調回路即ち周波数弁別回路に関し、更に詳細には、FSK (Frequency Shift Keying) 復調回路に関する。

## 【0002】

【従来の技術】 FSK変調信号は、論理の0、1から成る2値データに対応した周波数信号から成る。即ち、FSK変調信号は、論理の0を示す入力電圧に対応して第1の周波数信号となり、論理の1を示す入力電圧に対応して第2の周波数信号となる。このFSK変調信号を低レベルと高レベルの2値の電圧信号に戻すための従来の典型的なFSK復調回路は、入力波形整形回路と移相検波器とオペアンプと出力波形整形用のコンパレータを順次に接続したものから成る。

## 【0003】

【発明が解決しようとする課題】 ところで、移相検波器等のアナログ回路によってFSK復調する場合には、多くの部分をIC化したとしても、外付けの抵抗、コンデンサ等が必要になる。また、アナログ処理であるので部品の特性のバラツキの影響を受け易く、目標の復調出力を得るために多くの調整が必要になった。

【0004】 そこで、本発明の目的は特性のバラツキが少なく且つ種々の周波数信号に柔軟に対応することができ周波数復調回路を提供することにある。

## 【0005】

【課題を解決するための手段】 上記目的を達成するための請求項1の発明は、第1の値を示す区間が第1の周波数信号とされ、第2の値を示す区間が第2の周波数信号とされた周波数変調信号を復調するための回路であって、前記第1及び第2の周波数信号の周期よりも長い一定の周期を有してリセットパルスを発生するリセットパルス発生回路と、前記リセットパルス発生回路から発生した前記リセットパルス毎にリセットされて前記周波数変調信号のパルスを計数してデジタル値を出力するデジタルカウンタと、前記カウンタが前記第1の周波数信号のパルスを計数した時に得られる第1のデジタル値と前記カウンタが前記第2の周波数信号のパルスを計数した時に得られる第2のデジタル値との間の値を有する基準デジタル信号を発生する基準デジタル信号発生回路と、前記デジタルカウンタから得られたカウンタ出力の値と前記基準デジタル信号の値とを比較し、前記カウンタ出力の値が前記基準デジタル信号の値よりも低い時に第1のレベルの電圧を出力し、前記カウンタ出力の値が前記基準デジタル信号の値よりも高

い時(好ましくは以上の時)に第2のレベルの電圧を出力する比較回路とを備え、前記比較回路の前記第1及び第2のレベルの電圧を前記第1及び第2の周波数信号の復調信号とする周波数復調回路に係わるものである。また、請求項3の発明は、第1の値を示す区間が第1の周波数信号とされ、第2の値を示す区間が第2の周波数信号とされた周波数変調信号を復調するための回路であって、前記第1及び第2の周波数信号の周期よりも長い一定の周期を有してリセットパルスが発生するリセットパルス発生回路と、前記リセットパルス発生回路から発生した前記リセットパルス毎にリセットされて前記周波数変調信号のパルスを2進方式で計数するものであり、前記一定の周期において前記第1の周波数信号のパルスを計数した時には第1のレベルの電圧を出力し、前記第2の周波数信号のパルスを計数した時には第2のレベルの電圧を出力する出力端子を有しているバイナリカウンタとを備え、前記バイナリカウンタの前記出力端子から得られた前記第1及び第2のレベルの電圧を前記第1及び第2の周波数復調信号とする周波数復調回路に係わるものである。なお、請求項2及び4に示すように請求項1及び3の発明において、更にラッチ回路を設けることが望ましい。また、請求項5に示すように、請求項2〜4において更にローパスフィルタと波形整形回路を設けることが望ましい。

#### 【0006】

【発明の作用及び効果】各請求項の発明によれば、カウンタによって第1及び第2の周波数信号のパルスを計数し、この出力に基づいて第1及び第2の周波数信号を弁別した出力を得るので、デジタル的に復調出力を得ることができる。従って、従来のアナログ復調に比べて特性のバラツキの少ない復調出力を得ることが可能になる。また、請求項1の発明によれば、リセットパルスの周期の変更によって復調条件の設定変更を容易に行うことができる。また、請求項3の発明によれば、リセットパルスの周期の変更及びカウンタ出力端子の変更のいずれか一方又は両方によって復調条件の設定変更を容易に達成することができる。また、請求項2及び4の発明によれば、2値のデジタル出力を正確且つ容易に得ることができる。また、請求項5の発明によれば、エラー等に基づくノイズ成分を除去して精度の高い復調出力を得ることができる。

#### 【0007】

【第1の実施例】次に、図1〜図4を参照して本発明の第1の実施例のFSK復調回路を説明する。図1に示す復調回路は、FSK変調信号入力端子1に対して、増幅器2、入力段波形整形回路3、デジタルカウンタ4、比較回路5、ラッチ回路6、ローパスフィルタ(LPF)7、出力段波形整形回路8、及び復調出力端子9を順次に接続し、カウンタ4及びラッチ回路6を制御するためにパルス発生回路10を設け、更にデジタル復調

するために基準デジタル信号発生回路11を設けたものである。

【0008】図1の各部を図2の波形図を参照して説明する。入力端子1には図2(A)に示すように論理の“0”と“1”に対応して第1及び第2の周波数信号 $f_1$ 、 $f_2$ が入力する。第1の周波数信号 $f_1$ は例えば405kHzの信号であり、第2の周波数信号 $f_2$ は例えば505kHzの信号である。

【0009】入力端子1に接続された増幅器2は、入力段結合コンデンサとアンプと出力段結合コンデンサから成り、FSK変調信号を増幅して出力する周知の回路である。

【0010】増幅器2に接続された入力段波形整形回路3は、電圧レベル変換回路と電圧コンパレータとを順次に接続した周知の回路であって、図2(A)の波形を図2(B)の方形波に整形して出力するものである。なお、波形整形回路3は図2(A)の周波数信号 $f_1$ 、 $f_2$ の1周期に1個の割合でパルスを出力する。従って、図2(B)のパルスの繰返し周波数は図2(A)の周波数信号と同一である。

【0011】デジタルカウンタ4の入力端子CKは波形整形回路3に接続され、リセット端子即ちクリア端子CLRはパルス発生回路10の出力ライン10aに接続されている。このカウンタ4は、パルス発生回路10から一定周期Tを有して繰返して与えられるリセットパルスによってリセット(クリア)され、次のリセットパルスが入力するまで図2(B)に示す周波数信号のパルスを計数する。

【0012】パルス発生回路10は、一定周期のクロック信号に基づいてライン10aに負パルスから成るリセット信号を出力し、ライン10bに正パルスから成るクロックパルスを出力するものである。ライン10aのリセットパルスの発生周期は、第1及び第2の周波数信号 $f_1$ 、 $f_2$ の周期よりも十分に大きく、且つデジタルデータの単位ビット時間長よりも十分に短く設定されている。なお、ライン10bのクロックパルスはライン10aのリセットパルスと同一の周期を有して同期して発生する。

【0013】基準デジタル信号発生回路11は、カウンタ4の出力と比較するための基準デジタル信号を比較回路5に送るものである。この基準デジタル信号はカウンタ4が第1の周波数信号 $f_1$ のパルスを計数した時にリセットパルスの1周期の最後において得られるカウンタ出力の値(第1のデジタル値)即ち第1の周波数信号 $f_1$ のパルスの最大計数値とカウンタ4が第2の周波数信号 $f_2$ のパルスを計数した時にリセットパルスの1周期の最後において得られるカウンタ出力の値(第2のデジタル値)即ち第2の周波数信号 $f_2$ のパルスの最大計数値との間の値を有するように決定される。

【0014】比較回路5は、カウンタ4から得られた出

5

力の値が基準デジタル信号発生回路11から発生している基準デジタル信号の値よりも低い時に第1のレベル（低レベル）の出力電圧を発生し、基準デジタル値以上になった時に出力電圧が第1のレベル（低レベル）から第2のレベル（高レベル）に転換して第2のレベルの出力電圧を発生するように構成されたデジタル比較回路から成る。なお、比較回路5を、カウンタの出力値が基準デジタル値以下の時に第1のレベル出力を発生し、基準デジタル値よりも高い時に第2のレベルの出力を発生するように変形したものとすることができる。

【0015】このデータ入力端子Dが比較回路5に接続されたラッチ回路6は、比較回路5の出力をクロックパルスの1周期だけ保持して出力するものである。この動作をさせるためにラッチ回路6のクロック入力端子CKはライン10bに接続されている。このラッチ回路6の出力端子Qには図2（C）に第1の周波数信号f1の区間に対応して第1のレベル（低レベル）、第2の周波数信号f2の区間に対応して第2のレベル（高レベル）の復調信号が得られる。この復調信号の波形はFSK変調する前のデータ波形と実質的に同一になる。

【0016】ラッチ回路6に接続されたノイズ除去用ローパスフィルタ7は、復調波形に含まれるノイズを除去するものである。即ち、比較回路5における比較エラーはラッチ回路6におけるラッチエラー等によって図2（C）で鎖線で示すようにノイズ成分Nを含む場合がある。ラッチ回路6の出力波形に高周波ノイズNが含まれていても、これをローパスフィルタ7を通すと除去され、図2（D）に示すような出力波形が得られる。なお、ローパスフィルタ7は信号ラインに直列に接続された抵抗と、信号ラインとグラウンドとの間に接続されたコンデンサから成る周知のRCフィルタである。

【0017】ローパスフィルタ7に接続された出力段波形整形回路8はコンパレータから成る周知の回路であって、図2（D）の波形を図2（E）の方形波に整形して出力端子9に送出するものである。図2（E）の波形はFSK変調前のデータ波形に対応している。

【0018】図3は図1のカウンタ4、比較回路5及びラッチ回路6を詳しく示すものである。カウンタ4は2個の4ビットカウンタ4a、4bを縦続接続して8ビットカウンタとしたものである。第1及び第2のカウンタ4a、4bはそれぞれ株式会社東芝の4ビットカウンタのIC74HC161であり、入力端子CKと、リセット端子即ちクリア端子CLR、4つの出力端子QA、QB、QC、QDと、相互接続端子RCO、ENTを有する。この他にも端子を有するが、説明を簡単にするために省略されている。各カウンタ4a、4bの入力端子CKは図1の波形整形回路3に接続される。それぞれのクリア端子CLRはライン10aに接続されている。従って、ライン10aのリセットパルス毎にカウンタ4a、4bはリセットされ入力端子CKに inputs する周波数信号

6

のパルスを計数し、8ビットのデジタル出力を比較回路5に送る。

【0019】比較回路5は、4ビットの2個のデジタル比較器5a、5bを縦続接続することによって構成されている。各比較器5a、5bは株式会社東芝の4ビットの比較器のIC74HC85から成り、第1の入力端子A0、A1、A3、A4と、第2の入力端子B0、B1、B3、B4と、3種類の比較出力端子A>Bout、A=Bout、A<Bout、相互接続のための入力端子A>Bin、A=Bin、A<Binを有する。比較器5a、5bの第1の入力端子A0～A4はカウンタ4a、4bの出力端子QA、QB、QC、QDに接続され、第1の比較器5aの第2の入力端子B0～B4は図1の基準デジタル信号発生回路11の出力端子D0、D1、D2、D3に接続され、第2の比較器5bの第2の入力端子B0～B4は基準デジタル信号発生回路11の出力端子D4、D5、D6、D7に接続されている。第1及び第2の比較器5a、5bは8ビットのカウンタ出力と8ビットの基準デジタル信号の比較出力を発生する。ここでカウンタ4の出力をA、基準デジタル信号をBとすれば、A>Bを示す出力をA>Boutの端子に送出し、A=Bを示す出力をA=Boutの端子に送出する。ORゲート5cの一方の入力端子は比較器5bのA>Bout端子に接続され、他方の入力端子は比較器5bのA=Bout端子に接続されている。従って、カウンタ出力Aが基準デジタル信号B以上の時にORゲート5cの出力が高レベルとなり、その他の時には低レベルとなる。

【0020】ラッチ回路6はD型フリップフロップから成り、データ入力端子DはORゲート5cに接続され、クロック入力端子CKはクロックライン10bに接続されている。

【0021】図4は図3のA～E点の電圧状態を示す波形図である。図4（A）はカウンタ4の入力端子に供給される第1及び第2の周波数信号f1、f2のパルスを示す。図4（B）はラッチ回路6に inputs するクロックパルスを示す。このクロックパルスは図4（C）のライン10aのリセットパルスと同一の周期を有して同期して発生している。図4（D）はORゲート5cの出力即ち比較回路5の出力を示す。クロックパルスの周期Tの初期においてはカウンタ出力Aが基準デジタル信号Bよりも小さいので、比較出力は低レベルに保たれているが、カウンタ出力Aが基準デジタル信号B以上になった時点から後は高レベルになる。図4（D）のパルス幅は基準デジタル信号Bの値を変えることによって変化する。図4（D）の比較出力パルスは比較器5a、5b、ORゲート5cの信号処理の遅延及び信号伝送路の遅延に伴って遅延して発生する。即ち、カウンタ4はt1、t2、t3、t5のリセットパルスの立上り（前縁）でリセットされるが、比較出力パルスはリセット時点よりも遅れた時点まで発生する。このため、図4

7

(B)のクロックパルスによって図4(D)の比較出力パルスのラッチが可能になる。なお、比較回路5によって必要とする遅延が得られない場合には、個別の遅延回路を比較回路5とラッチ回路6との間に接続する。ラッチ回路6は図4の $t_1$ 、 $t_2$ 、 $t_3$ では高レベルの入力をラッチするので、この出力端子Qから図4(E)に示す高レベルの出力が得られる。しかし、第1の周波数信号 $f_1$ に転換する $t_4$ 以後の $t_5$ 時点では高レベルの比較出力が得られないので、 $t_5$ のクロックパルスに同期してラッチ回路6の出力は低レベルに戻る。

【0022】本実施例ではカウンタ4とデジタル比較回路5によるデジタル処理によって周波数復調即ち周波数弁別を行うので、従来のアナログ検波器を使用する場合に比べて復調特性のバラツキが小さくなり、高精度の復調が可能になる。また、復調条件の設定変更を容易に達成することができる。また、ローパスフィルタ7を設けたのでエラー等によるノイズを除去することができる。

【0023】

【第2の実施例】次に、図5及び図6を参照して第2の実施例のFSK復調回路を説明する。但し、図5において図1、図3と実質的に同一の部分には同一の符号を付してその説明を省略する。図5の復調回路は、図1の回路から比較回路5と基準デジタル信号発生回路11を省いたものである。カウンタ4は図3と同一の4ビットのカウンタ4aから成る。但し、この実施例ではデジタル出力を送出することが不要であるので、4段の出力端子QA、QB、QC、QDの内の最終段の出力端子QDのみに出力ラインが接続され、この出力ラインがラッチ回路6のデータ入力端子Dに接続されている。

【0024】カウンタ4の入力端子CKには、図6(A)に原理的に示す第1及び第2の周波数信号 $f_1$ 、 $f_2$ のパルスが入力する。カウンタ4のクリア端子CLRには図6(C)のリセットパルスが入力する。ラッチ回路6のクロック入力端子CKには図6(B)のクロックパルスが入力する。リセットパルス及びクロックパルスは同一の一定周期Tを有し、同期して発生する。リセットパルス及びクロックパルスの周期と第1及び第2の周波数信号 $f_1$ 、 $f_2$ のパルスの周期とデータの単位ビットの時間長との関係は第1の実施例と同様に決定されている。但し、図5の復調回路では、リセットパルスの周期Tが、第1の周波数信号 $f_1$ のパルスの周期 $T_1$ の4倍の値 $4T_1$ よりも短く、且つ第2の周波数信号 $f_2$ のパルスの周期 $T_2$ の4倍の値 $4T_2$ 以上になるように設定されている。これにより、図6に示すように第2の周波数信号 $f_2$ の区間 $t_0 \sim t_5$ では、 $t_1$ 、 $t_3$ 、 $t_4$ でリセットパルスが発生してから4個の第2の周波数

8

信号 $f_2$ のパルスが入力すると、カウンタ4aの第4番目の出力端子QDから図6(D)に示すように高レベル出力が得られる。図6(D)の高レベル出力は図4(D)の比較回路5の出力と同様な情報を含んでいる。カウンタ4aの出力端子QDの出力パルスは僅かに遅延しているので、ラッチ回路6においてクロックパルスでラッチ可能であり、ラッチ回路6からは図6(E)の出力が得られる。この出力は図6(A)の論理の1、0の区間に対応した高レベル区間及び低レベル区間を有する。従って、図5の回路によっても図1及び図3の回路と同様な作用効果を得ることができる。

【0025】

【変形例】本発明は上述の実施例に限定されるものでなく、例えば次の変形が可能なるものである。

(1) 図5の回路において、カウンタ4とラッチ回路6の間にカウンタ出力パルスをクロックパルスの発生時点以後まで遅延させるための個別の遅延回路を設けることができる。

(2) 図1及び図3において基準デジタル信号を出来るだけ小さく設定し、図4(D)の高レベルの出力パルス幅を広げ、ラッチ回路6を省くことができる。この場合、図4(D)の状態では論理の1の区間で出力パルスが断続しているが、ローパスフィルタ7で平滑して波形整形回路8を通すと、図4(E)に近い出力波形が得られる。また、図5の回路においても、ラッチ回路6を省いてカウンタ4の出力をローパスフィルタ7で平滑することができる。

(3) 図1及び図5においてラッチ回路6の代りに、図4(D)及び図6(D)でトリガされる出力パルス幅が周期Tと同一又はほぼ同一の再トリガモノマルチバイブレータを設け、周期以内に次の高レベル出力が発生した時には図4(E)、図6(E)に示すように連続的に高レベル出力を発生するように構成することができる。

【図面の簡単な説明】

【図1】第1の実施例のFSK復調回路を示すブロック図である。

【図2】図1の各部の波形を示す図である。

【図3】図1の一部を詳しく示す回路図である。

【図4】図3の各部の波形を示す図である。

【図5】第2の実施例のFSK復調回路を示すブロック図である。

【図6】図5の各部の波形を示す図である。

【符号の説明】

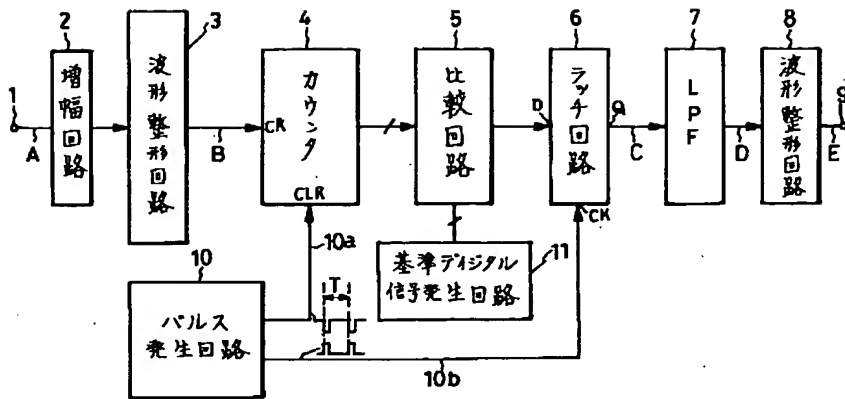
4 カウンタ

5 比較回路

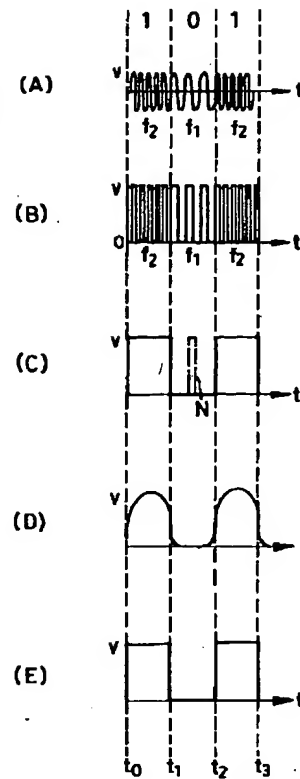
6 ラッチ回路

11 基準デジタル信号発生回路

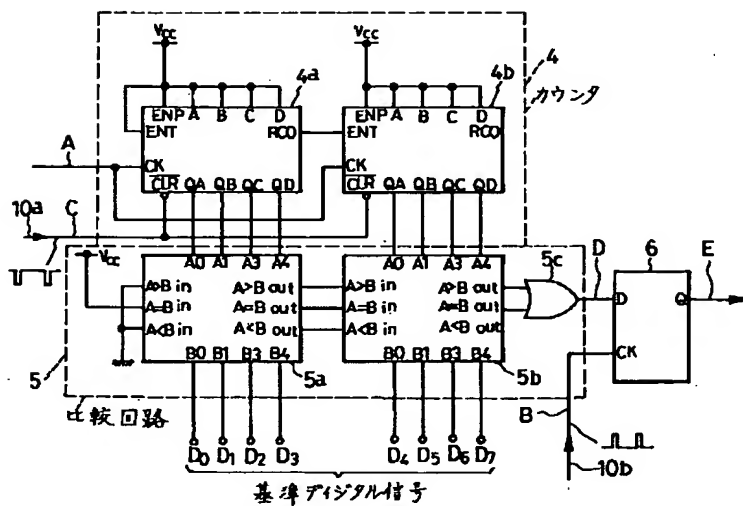
【図1】



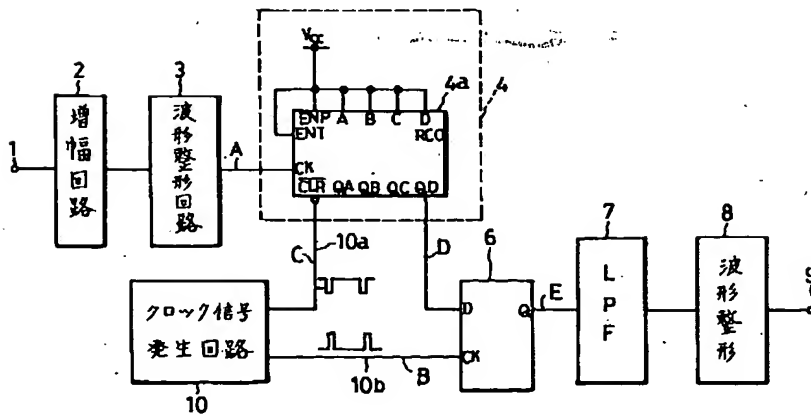
【図2】



【図3】

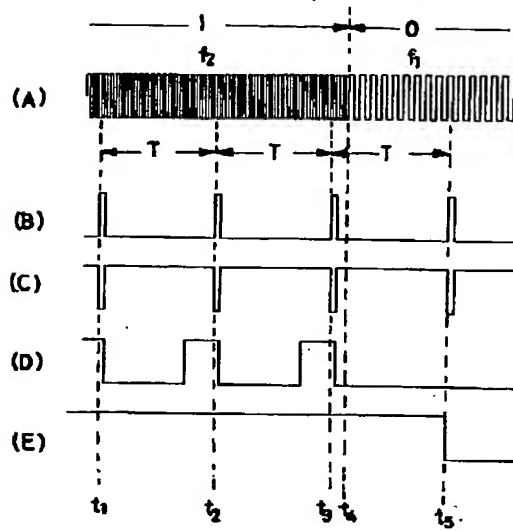


【図5】





【図4】



【図6】

